

AT

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086755

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01L 25/00

H01L 25/04

H01L 25/18

H05K 1/14

(21)Application number : 2001-274874

(71)Applicant : SONY CORP

(22)Date of filing : 11.09.2001

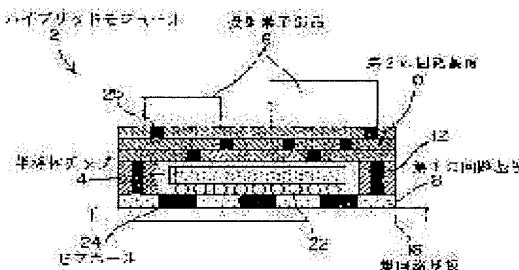
(72)Inventor : MOTOYAMA HIDESHI
ITO MUTSUSADA
OGE HAJIME
MIZUNUMA YASUYUKI

(54) HYBRID MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a mounting area and to reduce a ground inductance to a semiconductor chip.

SOLUTION: First and second circuit boards 8 and 10 are disposed with a space so that plate surfaces face each other, and connected together using a connection circuit board 12 interposed. A semiconductor chip 4 is fitted to the first circuit board 8 while a passive element 6 is fitted to the second circuit board 10. A via hole 24 which penetrates the first circuit board 8 is provided on the first circuit board 8. A ground pattern on the first circuit board 8 is connected to the ground pattern on a mother circuit board 16 through the via hole 24. If the thickness of the circuit board 8 is reduced, the via hole 24 becomes very short, resulting in very small ground inductance between the semiconductor chip 4 and the mother circuit board 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-86755

(P2003-86755A)

(43)公開日 平成15年3月20日(2003.3.20)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マ1-ト*(参考) |
|--------------------------------------|------|---------------|-------------|
| H 0 1 L 25/00 | | H 0 1 L 25/00 | B 5 E 3 4 4 |
| 25/04 | | H 0 5 K 1/14 | D |
| 25/18 | | | G |
| H 0 5 K 1/14 | | | H |
| | | H 0 1 L 25/04 | Z |
| 審査請求 未請求 請求項の数 9 O L (全 10 頁) 最終頁に続く | | | |

(21)出願番号 特願2001-274874(P2001-274874)

(22)出願日 平成13年9月11日(2001.9.11)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 本山 英志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 伊藤 睦禎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100089875

弁理士 野田 茂

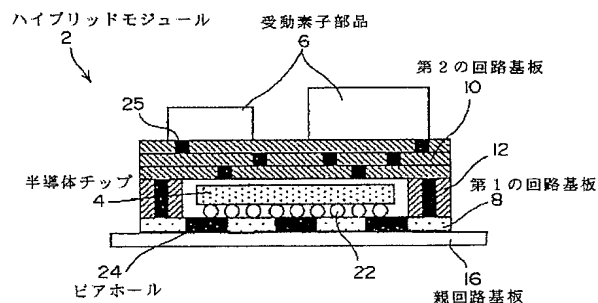
最終頁に続く

(54)【発明の名称】 ハイブリッドモジュール

(57)【要約】

【課題】 実装面積を縮小するとともに、半導体チップに対するグランドインダクタンスを低減する。

【解決手段】 第1および第2の回路基板8、10は相互に間隔をおき板面を対向させて配置され、間に介在する接続回路基板12により互いに接続されている。第1の回路基板8上には半導体チップ4が取り付けられ、第2の回路基板10には受動素子部品6が取り付けられている。第1の回路基板8には、第1の回路基板8を貫通するビアホール24が設けられ、第1の回路基板8上のグランドパターンは、ビアホール24を通じて親回路基板16上のグランドパターンに接続されている。したがって、第1の回路基板8の厚さを薄くすればビアホール24はごく短くなり、半導体チップ4と親回路基板16との間のグランドインダクタンスはきわめて小さいものとなる。



【特許請求の範囲】

【請求項 1】 集積回路チップおよび受動素子部品により形成されたハイブリッドモジュールであって、
1 つまたは複数の集積回路チップが取り付けられた、絶縁材料から成る第 1 の回路基板と、

1 つまたは複数の受動素子部品、および 1 つまたは複数の集積回路チップのいずれか一方または両方が取り付けられた、絶縁材料から成る第 2 の回路基板と、
前記第 1 および第 2 の回路基板を、板面を対向させて相互に機械的に接続する接続部材とを含み、
前記第 1 の回路基板はグランド用の導体を含み、同導体に前記集積回路チップのグランド端子が接続されていることを特徴とするハイブリッドモジュール。

【請求項 2】 前記接続部材は前記第 1 および第 2 の回路基板を電気的に接続することを特徴とする請求項 1 記載のハイブリッドモジュール。

【請求項 3】 前記グランド用の導体は、前記第 1 の回路基板を貫通するビアホールを含むことを特徴とする請求項 1 記載のハイブリッドモジュール。

【請求項 4】 前記第 1 の回路基板を固定する第 3 の回路基板を有し、前記第 1 の回路基板は、前記集積回路チップと反対側の面を前記第 3 の回路基板の表面に密着させて前記第 3 の回路基板に固定され、前記ビアホールの、前記第 3 の回路基板側の端部は前記第 3 の回路基板の表面に膜状に形成されたグランド用の導体に接続されていることを特徴とする請求項 3 記載のハイブリッドモジュール。

【請求項 5】 前記接続部材は回路基板により形成され、両端面は前記第 1 および第 2 の回路基板の対向面にそれぞれ当接していることを特徴とする請求項 1 記載のハイブリッドモジュール。

【請求項 6】 前記第 1 の回路基板に取り付けられた前記集積回路チップは、前記第 1 の回路基板の、前記第 2 の回路基板に対向する板面に取り付けられていることを特徴とする請求項 1 記載のハイブリッドモジュール。

【請求項 7】 前記第 2 の回路基板に取り付けられた前記受動素子部品は前記第 2 の回路基板のいずれか一方または両方の板面に取り付けられていることを特徴とする請求項 1 記載のハイブリッドモジュール。

【請求項 8】 前記第 2 の回路基板に取り付けられた前記集積回路チップは前記第 2 の回路基板のいずれか一方または両方の板面に取り付けられていることを特徴とする請求項 1 記載のハイブリッドモジュール。

【請求項 9】 1 つまたは複数の受動素子部品が、前記第 1 の回路基板の、前記第 2 の回路基板に対向する板面に取り付けられていることを特徴とする請求項 6 記載のハイブリッドモジュール。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、集積回路チップお

よび受動素子部品により構成したハイブリッドモジュールに関するものである。

【0002】

【従来の技術】 ハイブリッドモジュールは、セルラー電話、コードレスホンなどの無線通信装置や、高周波信号計測システム、レーダーなどのデジタル／アナログ高周波装置において、増幅器として、あるいは通信用や発振器用のデバイスとして広く用いられている。そして、上記無線通信装置や高周波装置の小型化および高性能化のために、いっそう小型で、かつ性能の高いハイブリッドモジュールが求められている。

【0003】 従来より、ハイブリッドモジュールとしては 1 枚の回路基板上に半導体チップ（集積回路チップ）と、コンデンサー、コイル、抵抗といった受動素子部品とを配置していたため、ハイブリッドモジュールが占有する実装面積が広く、高密度実装には不向きであった。この問題を解決するため、半導体チップと受動素子部品とを立体的に配置した構造が提案された。図 18 は、立体構造のハイブリッドモジュールの一例（特開平 10-50926 号公報）を示す断面側面図である。

【0004】 図 18 の例では、回路基板 11 の下面側に回路部品 14 が、上面に他の回路部品 17 が取り付けられ、全体は親回路基板 19 の上に固定されている。そして、親回路基板 19 上のランド電極 20 は、回路基板 11 の側面に設けられた端子電極 18 に接続され、回路基板 11 と親回路基板 19 とが電気的に接続されている。

【0005】

【発明が解決しようとする課題】 しかし、このような従来の立体構造のハイブリッドモジュールでは、上述のように回路基板 11 の側面の端子電極 18 を通じて回路基板 11 と親回路基板 19 とが接続されるため、回路基板 11 のグランドも、端子電極 18 を通じて親回路基板 19 のグランドに接続されることになり、グランドの配線長が長くなってしまう。その結果、高周波信号を扱うハイブリッドモジュールではグランドのインダクタンスが大きくなり、ハイブリッドモジュールが増幅回路を構成している場合には、そのゲインが低下するなど、性能が劣化する。

【0006】 本発明はこのような問題を解決するためになされたもので、その目的は、立体構造を有して実装面積が狭く、かつ集積回路チップに対しグランドインダクタンスがきわめて小さいハイブリッドモジュールを提供することにある。

【0007】

【課題を解決するための手段】 本発明は上記目的を達成するため、集積回路チップおよび受動素子部品により形成されたハイブリッドモジュールであって、1 つまたは複数の集積回路チップが取り付けられた、絶縁材料から成る第 1 の回路基板と、1 つまたは複数の受動素子部品、および 1 つまたは複数の集積回路チップのいずれか

一方または両方が取り付けられた、絶縁材料から成る第2の回路基板と、前記第1および第2の回路基板を、板面を対向させて相互に機械的に接続する接続部材とを含み、前記第1の回路基板はグランド用の導体を含み、同導体に前記集積回路チップのグランド端子が接続されていることを特徴とする。

【0008】このような本発明のハイブリッドモジュールでは、集積回路チップと受動素子部品とが立体的に配置されるので、ハイブリッドモジュールの実装面積を狭くすることが可能となる。さらに、上記第1の回路基板は、外側の板面を親回路基板の表面に密着させた状態で親回路基板に取り付けることができ、そして、上記グランド用の導体として、たとえば第1の回路基板を貫通するビアホールを用いて、第1の回路基板のグランドを親回路基板のグランドに接続することができる。したがって、第1の回路基板を十分に薄いものとすれば、第1の回路基板に取り付けた集積回路チップと親回路基板との間のグランドインダクタンスはきわめて小さくなり、高周波信号を扱う場合にも、同集積回路チップの性能に何ら悪影響を及ぼさなくなる。

【0009】

【発明の実施の形態】次に本発明の実施の形態例について図面を参照して説明する。図1は本発明によるハイブリッドモジュールの一例を示す断面側面図である。図1に示したように、実施の形態例のハイブリッドモジュール2は、半導体チップ4（集積回路チップ）およびコンデンサ、コイル、抵抗などの受動素子部品6を立体的に配置した構造を有し、第1および第2の回路基板8、10、接続回路基板12、ならびに親回路基板16（第3の回路基板）を含んで構成されている。

【0010】第1の回路基板8は、アルミナ、ガラスセラミック、ガラスエポキシなどから成り、その表面には、本実施の形態例では1つの半導体チップ4が半田バンプあるいは金バンプなどの金属バンプ22を介して載置接続されている。なお、第1の回路基板8は本実施の形態例では1層構造であるとするが、多層形成され内部にも回路パターンが形成された構造であってもよい。

【0011】第1の回路基板8には複数のビアホール24が形成され、ビアホール24の上端は第1の回路基板8の表面に形成された不図示のグランドパターンに接続されている。第1の回路基板8は下面を親回路基板16の上面に密着させて親回路基板16に固定されており、ビアホール24の下端は、親回路基板16の表面に形成された膜状の不図示のグランドパターンに接続されている。そして、半導体チップ4の不図示のグランド端子は少なくとも1つの上記金属バンプ22を介して第1の回路基板8の上記グランドパターンに接続されている。

【0012】第2の回路基板10は、アルミナ、ガラスセラミック、ガラスエポキシなどから成り、本実施の形態例では、一例として多層構造となっていて内部にも回

路パターンが形成され、各層の回路パターンはビアホール25により相互に接続されている。なお、第2の回路基板10は1層構造であってもよく、多層構造に限定されるものではない。

【0013】本実施の形態例では、第2の回路基板10の上面に、コンデンサ、コイル、抵抗などの受動素子部品6が取り付けられている。第2の回路基板10は、板面を第1の回路基板8に対向させて間隔をおき第1の回路基板8の上に配置され、第1および第2の回路基板8、10の間に、半導体チップ4を挟んで接続回路基板12が配設されている。接続回路基板12は、両端面をそれぞれ第1の回路基板8の上面および第2の回路基板10の下面に当接させた状態で、第1および第2の回路基板8、10を相互に機械的に接続している。接続回路基板12は、グランドパターンなどの回路パターンを含み、これらの回路パターンにより、第1および第2の回路基板8、10に形成された各種の回路パターンが相互に接続されている。

【0014】このように構成された本実施の形態例のハイブリッドモジュール2では、半導体チップ4と受動素子部品6とが立体的に配置されているので、ハイブリッドモジュール2の実装面積を狭くすることが可能となる。さらに、第1の回路基板8を十分に薄くしてビアホール24がごく短いものとなるようにすれば、半導体チップ4と親回路基板16との間のグランドインダクタンスはきわめて小さくなる。したがって、半導体チップ4が高周波信号を扱う場合でも、従来のようにグランドインダクタンスが半導体チップ4の性能に悪影響を及ぼすことがなく、ハイブリッドモジュール2の性能が劣化することがない。

【0015】そして、第1の回路基板8のグランドパターンが、ごく短いビアホール24により親回路基板16のグランドパターンに接続されることから、半導体チップ4が発生した熱はビアホール24を通じて親回路基板16にきわめて効率よく伝導する。したがって、本実施の形態例の構造は、半導体チップ4の放熱の点でも有効である。

【0016】なお、ビアホール24に係わるグランドインダクタンスは、ビアホール24の長さを短くするだけでなく（したがって第1の回路基板8の厚さを薄くするだけでなく）、全体の面積をできるだけ広くすることにより、いっそう小さい値とすることができる。よって、ビアホール24の数をできるだけ多くし、また各ビアホール24の径をできるだけ大きくすることが好ましい。

【0017】また、本実施の形態例では、第2の回路基板10の上面に受動素子部品6が取り付けられているとしたが、受動素子部品は、これ以外にも第2の回路基板10の下面に装着したり、あるいは第1の回路基板8の上面に装着することも可能である。また、半導体チップとしては、1つに限らず複数の半導体チップを含む場合

にも本発明は有効であり、その場合、半導体チップを第2の回路基板10にも取り付けられる構成としてもよい。このような構成においても実装面積を縮小できるとともに、第1の回路基板8のグラウンドインダクタンスをきわめて小さいものとすることができる。

【0018】図2ないし図17はそれぞれ、これら各種の変形例を示している。図中、図1と同一の要素には同一の符号が付されている。図2は、受動素子部品6が第2の回路基板10の上面ではなく下面に取り付けられた実施の形態例のハイブリッドモジュール26を示す断面側面図であり、図3は受動素子部品6が第2の回路基板10の下面に取り付けられ、さらに第1の回路基板8の上面に半導体チップ4とともに取り付けられている実施の形態例のハイブリッドモジュール28を示す断面側面図、図4は受動素子部品6が第2の回路基板10の上面に取り付けられ、さらに第1の回路基板8の上面に半導体チップ4とともに取り付けられている実施の形態例のハイブリッドモジュール30を示す断面側面図である。

【0019】また、図5および図6は、それぞれ第2の半導体チップ32が受動素子部品6とともに第2の回路基板10の下面に取り付けられている実施の形態例のハイブリッドモジュール34を示し、および第2の半導体チップ32が受動素子部品6とともに第2の回路基板10の上面に取り付けられている実施の形態例のハイブリッドモジュール36を示している。

【0020】そして、図7および図8は、それぞれ第2の半導体チップ32が受動素子部品6とともに第2の回路基板10の下面に取り付けられ、さらに第1の回路基板8の上にも受動素子部品6が取り付けられている実施の形態例のハイブリッドモジュール38を示し、および第2の半導体チップ32が受動素子部品6とともに第2の回路基板10の上面に取り付けられ、さらに第1の回路基板8の上にも受動素子部品6が取り付けられている実施の形態例のハイブリッドモジュール40を示している。

【0021】また、図9は、第1の回路基板8の上に半導体チップ4とともに受動素子部品6が取り付けられ、第2の回路基板10の下面には2つの第2の半導体チップ32が取り付けられている実施の形態例のハイブリッドモジュール42を示している。そして、図10は、図9の例において第2の回路基板10の下面にさらに受動素子部品6が取り付けられているハイブリッドモジュール44を示している。さらに、図11は、第1の回路基板8の上に半導体チップ4とともに受動素子部品6が取り付けられ、第2の回路基板10の上面に2つの第2の半導体チップ32が取り付けられている実施の形態例のハイブリッドモジュール46を示し、図12は、図11の例において、第2の回路基板10の上面に受動素子部品6も取り付けられている実施の形態例のハイブリッドモジュール48を示している。

【0022】また、図13は、第1の回路基板8の上面に2つの半導体チップ4が取り付けられ、第2の回路基板10の下面に第2の半導体チップ32および受動素子部品6が取り付けられている実施の形態例のハイブリッドモジュール50を示し、図14は、図13の例において、第1の回路基板8の上面に受動素子部品6も取り付けられている実施の形態例のハイブリッドモジュール52を示している。

【0023】そして、図15は、第1の回路基板8の上に2つの半導体チップ4が取り付けられ、第2の回路基板10の上面に第2の半導体チップ32とともに受動素子部品6が取り付けられている実施の形態例のハイブリッドモジュール54を示し、図16は、図15の例において、第1の回路基板8の上に受動素子部品6も装着されている実施の形態例のハイブリッドモジュール56を示している。

【0024】また、図17は、第1の回路基板8の上に半導体チップ4とともに受動素子部品6が取り付けられ、第2の回路基板10の上面に第2の半導体チップ32とともに受動素子部品6が取り付けられ、さらに第2の回路基板10の下面に2つの第2の半導体チップ32とともに受動素子部品6が取り付けられている実施の形態例のハイブリッドモジュール58を示している。

【0025】これら図2ないし図17のいずれの実施の形態例においても、半導体チップおよび受動素子部品が立体的に配置されていることからハイブリッドモジュールの実装面積を縮小することができ、そして、第1の回路基板8のグラウンドインダクタンスをきわめて小さいものとすることができるため、少なくとも第1の回路基板8に取り付けられた半導体チップに関して、グラウンドインダクタンスの悪影響は生じない。

【0026】なお、第2の回路基板10ではグラウンドインダクタンスが第1の回路基板8のグラウンドインダクタンスより大きくなることから、第2の回路基板10に取り付ける第2の半導体チップ32としては、グラウンドインダクタンスの影響を受けにくいもの、あるいはグラウンドインダクタンスの影響を考慮して設計されたものを用いることが望ましい。

【0027】

【発明の効果】以上説明したように本発明のハイブリッドモジュールでは、集積回路チップと受動素子部品とが立体的に配置されるので、ハイブリッドモジュールの実装面積を狭くすることが可能となる。さらに、上記第1の回路基板は、外側の板面を親回路基板の表面に密着させた状態で親回路基板に取り付けることができ、そして、上記グラウンド用の導体として、たとえば第1の回路基板を貫通するビアホールを用いて、第1の回路基板のグラウンドを親回路基板のグラウンドに接続することができる。したがって、第1の回路基板を十分に薄いものとするれば、第1の回路基板に取り付けた集積回路チップと親

回路基板との間のグランドインダクタンスはきわめて小さくなり、高周波信号を扱う場合にも、同集積回路チップの性能に何ら悪影響を及ぼさなくなる。

【図面の簡単な説明】

【図 1】本発明によるハイブリッドモジュールの一例を示す断面側面図である。

【図 2】受動素子部品が第 2 の回路基板の下面に取り付けられた実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 3】受動素子部品が、第 2 の回路基板の下面に取り付けられ、さらに第 1 の回路基板の上面に半導体チップとともに取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 4】受動素子部品が、第 2 の回路基板の上面に取り付けられ、さらに第 1 の回路基板の上面に半導体チップとともに取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 5】第 2 の半導体チップが受動素子部品とともに第 2 の回路基板の下面に取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 6】第 2 の半導体チップが受動素子部品とともに第 2 の回路基板の上面に取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 7】第 2 の半導体チップが受動素子部品とともに第 2 の回路基板の下面に取り付けられ、さらに第 1 の回路基板の上にも受動素子部品が取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 8】第 2 の半導体チップが受動素子部品とともに第 2 の回路基板の上面に取り付けられ、さらに第 1 の回路基板の上にも受動素子部品が取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 9】第 1 の回路基板の上に半導体チップとともに受動素子部品が取り付けられ、第 2 の回路基板の下面には 2 つの第 2 の半導体チップが取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 10】図 9 の例において第 2 の回路基板の下面にさらに受動素子部品が取り付けられているハイブリッドモジュールを示す断面側面図である。

【図 11】第 1 の回路基板の上に半導体チップとともに受動素子部品が取り付けられ、第 2 の回路基板の上面に 2 つの第 2 の半導体チップが取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 12】図 11 の例において、第 2 の回路基板の上面に受動素子部品も取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 13】第 1 の回路基板の上面に 2 つの半導体チップが取り付けられ、第 2 の回路基板の下面に第 2 の半導体チップおよび受動素子部品が取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 14】図 13 の例において、第 1 の回路基板の上面に受動素子部品も取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 15】第 1 の回路基板の上に 2 つの半導体チップが取り付けられ、第 2 の回路基板の上面に第 2 の半導体チップとともに受動素子部品が取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 16】図 15 の例において、第 1 の回路基板の上に受動素子部品も装着されている実施の形態例のハイブリッドモジュールを示す断面側面図である。

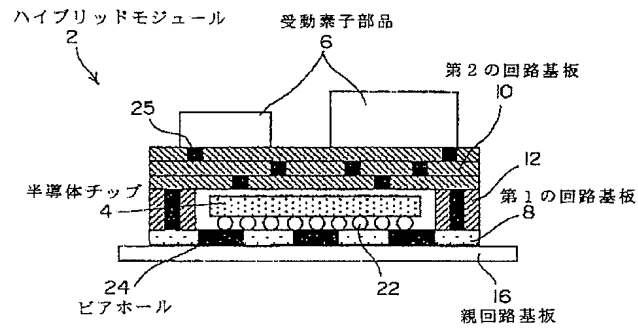
【図 17】第 1 の回路基板の上に半導体チップとともに受動素子部品が取り付けられ、第 2 の回路基板の上面に第 2 の半導体チップとともに受動素子部品が取り付けられ、さらに第 2 の回路基板の下面に 2 つの第 2 の半導体チップとともに受動素子部品が取り付けられている実施の形態例のハイブリッドモジュールを示す断面側面図である。

【図 18】立体構造の従来のハイブリッドモジュールの一例を示す断面側面図である。

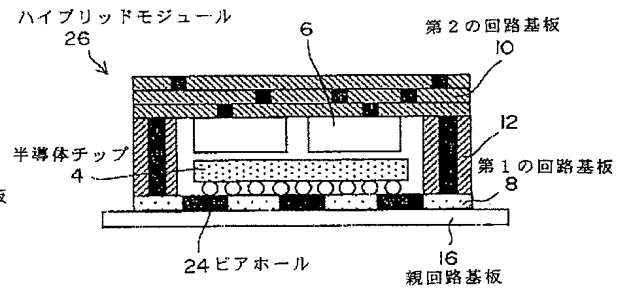
【符号の説明】

2 ……ハイブリッドモジュール、4 ……半導体チップ、6 ……受動素子部品、8 ……第 1 の回路基板、10 ……第 2 の回路基板、11 ……回路基板、12 ……接続回路基板、14 ……回路部品、16、19 ……親回路基板、18 ……端子電極、20 ……ランド電極、22 ……金属バンプ、24 ……ビアホール、32 ……第 2 の半導体チップ。

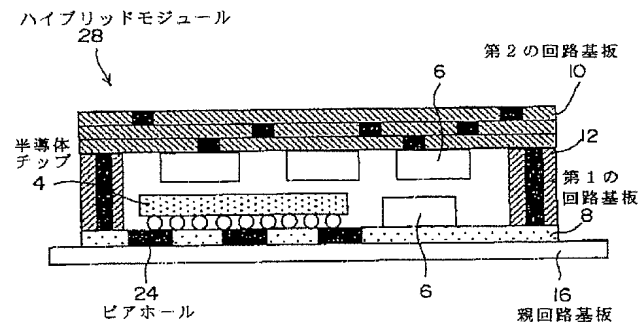
【図1】



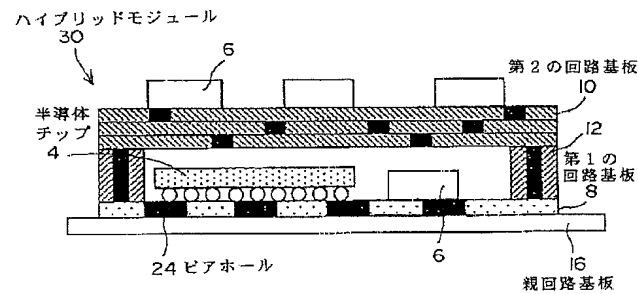
【図2】



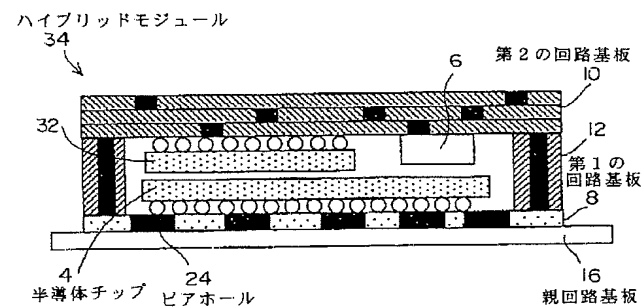
【図3】



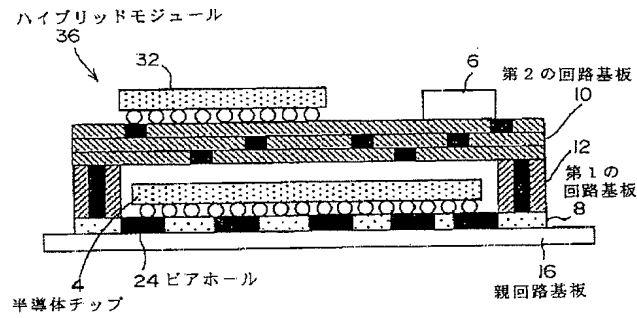
【図4】



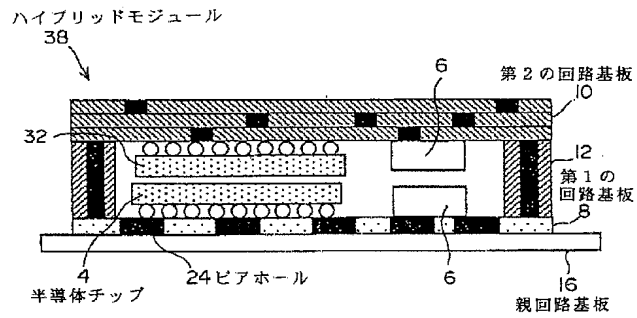
【図5】



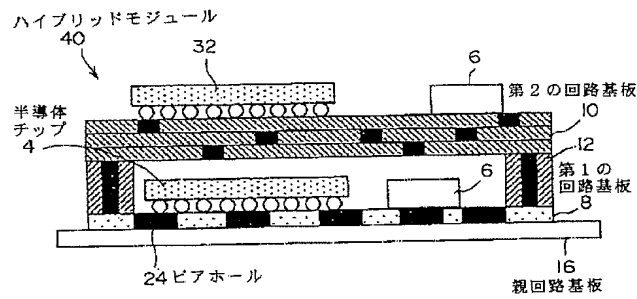
【図 6】



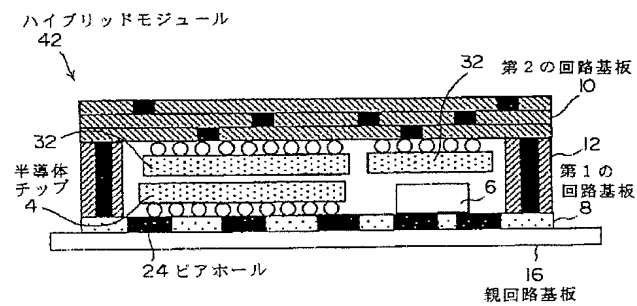
【図 7】



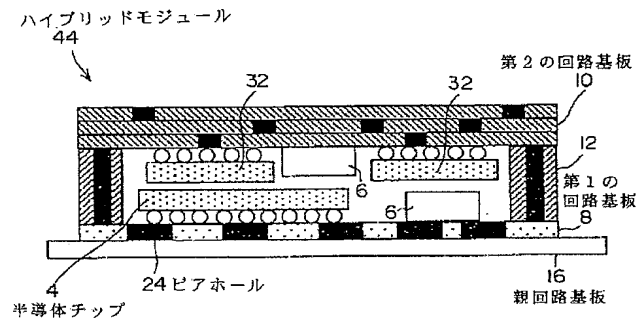
【図 8】



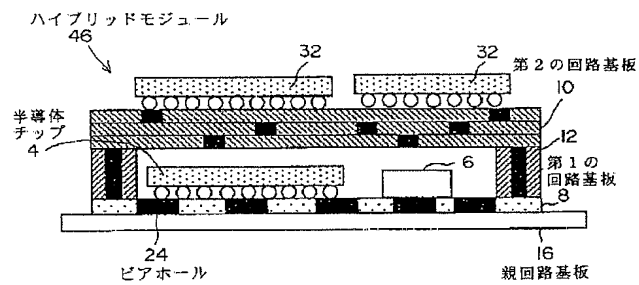
【図 9】



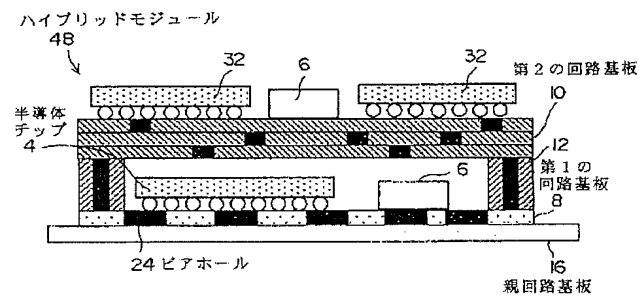
【図10】



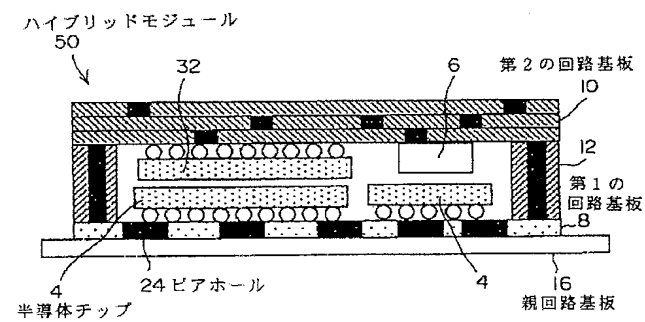
【図11】



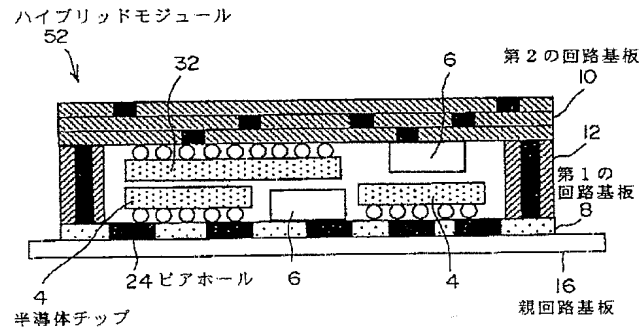
【図12】



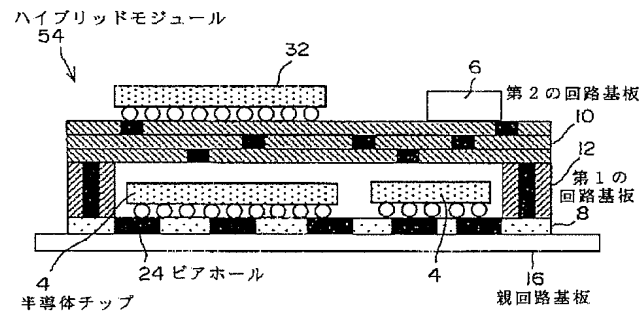
【図13】



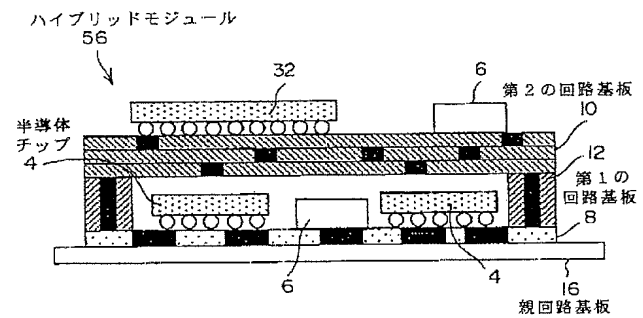
【図14】



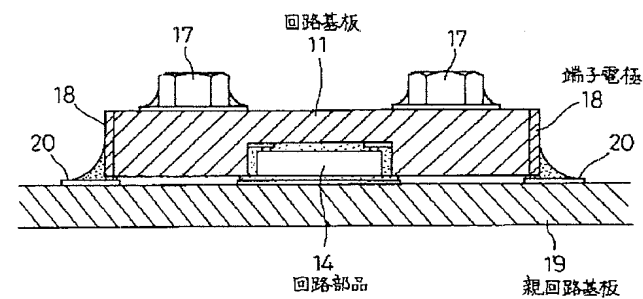
【図15】



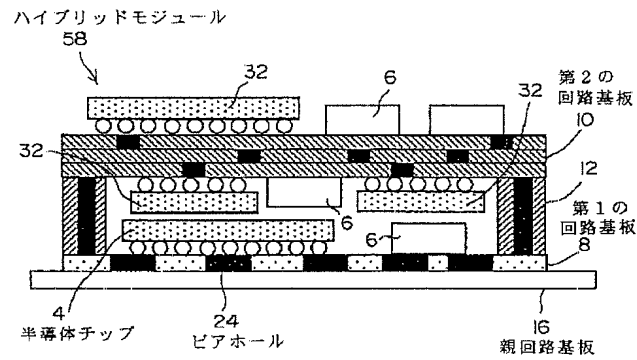
【図16】



【図18】



【図17】



フロントページの続き

(51) Int. Cl.⁷

H05K 1/14

識別記号

F I

テーマコード(参考)

(72) 発明者 大毛 肇

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 水沼 康之

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5E344 AA01 AA08 AA16 BB03 CC24

CC25 EE08 EE13

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st circuit board in which it is the hybrid module formed with an integrated circuit chip and passive element components, and one or more integrated circuit chips were attached and which consists of an insulating material, The 2nd circuit board in which both one or more passive element components, and one or more both [either or] were attached and which consists of an insulating material, the connection material which a plate surface is made to counter and connects mechanically said 1st and 2nd circuit boards mutually -- containing -- the conductor for glands in said 1st circuit board -- containing -- said -- the hybrid module characterized by connecting the grand terminal of said integrated circuit chip to a conductor.

[Claim 2] Said connection material is a hybrid module according to claim 1 characterized by connecting electrically said 1st and 2nd circuit boards.

[Claim 3] The conductor for said glands is a hybrid module according to claim 1 characterized by including the beer hall which penetrates said 1st circuit board.

[Claim 4] It has the 3rd circuit board which fixes said 1st circuit board. Said 1st circuit board Stick the field of said integrated circuit chip and opposite hand on the front face of said 3rd circuit board, and it is fixed to said 3rd circuit board. The edge by the side of said 3rd circuit board of said beer hall is a hybrid module according to claim 3 characterized by connecting with the conductor for glands formed in the front face of said 3rd circuit board in the shape of film.

[Claim 5] It is the hybrid module according to claim 1 which said connection material is formed of the circuit board, and is characterized by the ends side being in contact with the opposed face of said 1st and 2nd circuit boards, respectively.

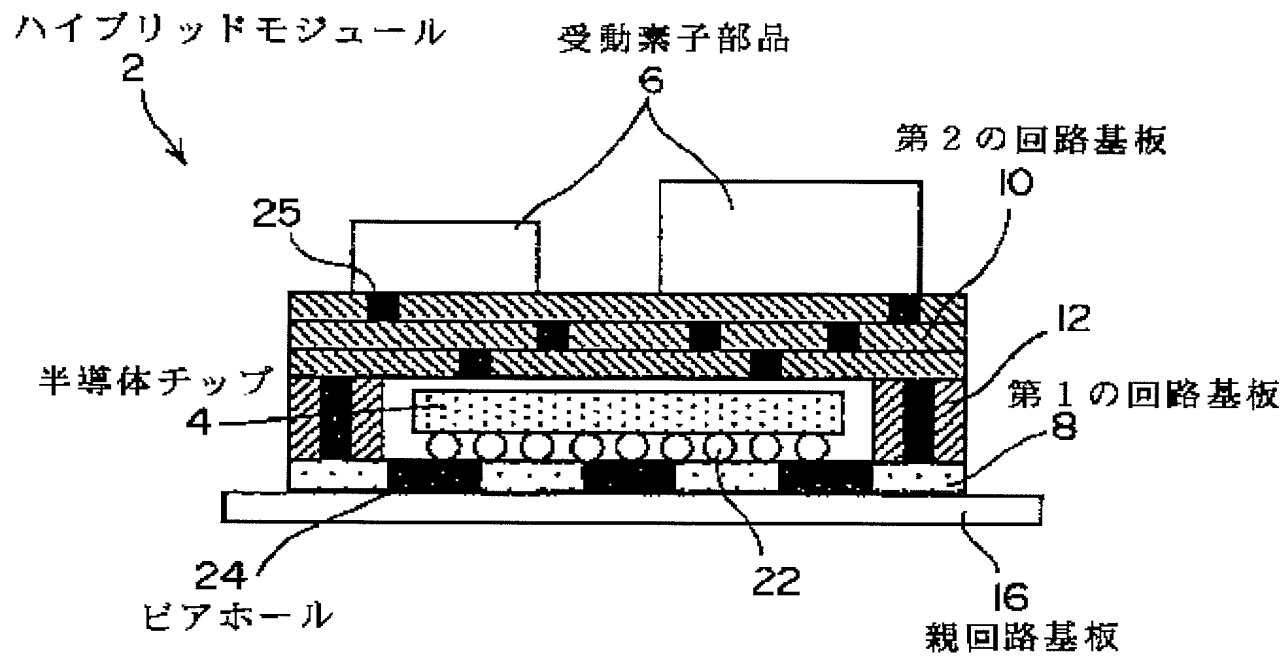
[Claim 6] Said integrated circuit chip attached in said 1st circuit board is a hybrid module according to claim 1 characterized by being attached in the plate surface which counters said 2nd circuit board of said 1st circuit board.

[Claim 7] Said passive element component attached in said 2nd circuit board is a hybrid module according to claim 1 characterized by being attached in the plate surface of either of said 2nd circuit board, or both.

[Claim 8] Said integrated circuit chip attached in said 2nd circuit board is a hybrid module according to claim 1 characterized by being attached in the plate surface of either of said 2nd circuit board, or both.

[Claim 9] The hybrid module according to claim 6 characterized by attaching one or more passive element components in the plate surface which counters said 2nd circuit board of said 1st circuit board.

[Translation done.]



*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION**[Detailed Description of the Invention]**

[0001]

[Field of the Invention] This invention relates to the hybrid module constituted with an integrated circuit chip and passive element components.

[0002]

[Description of the Prior Art] The hybrid module is widely used as an amplifier or a device for a multiplier or oscillators in digital one / analog high frequency equipments, such as radio communication equipments, such as a cellular phone and a cordless phone, and a high frequency signal instrumentation system, a RADAR. And the hybrid module with the high engine performance is called for still smaller because of the miniaturization of the above-mentioned radio communication equipment or high frequency equipment, and high-performance-izing.

[0003] Before, since a semiconductor chip (integrated circuit chip), and a capacitor, a coil and passive element components called resistance were arranged on the circuit board of one sheet as a hybrid module, the component-side product which a hybrid module occupies was large, and unsuitable for high density assembly. In order to solve this problem, the structure which has arranged a semiconductor chip and passive element components in three dimensions was proposed. Drawing 18 is the cross-section side elevation showing an example (JP,10-50926,A) of the hybrid module of a spacial configuration.

[0004] In the example of drawing 18, the passive circuit elements 17 of others [passive circuit elements / 14] are attached in a top face at the underside side of the circuit board 11, and the whole is being fixed on the parent circuit board 19. And the land electrode 20 on the parent circuit board 19 is connected to the terminal electrode 18 prepared in the side face of the circuit board 11, and the circuit board 11 and the parent circuit board 19 are connected electrically.

[0005]

[Problem(s) to be Solved by the Invention] However, by such hybrid module of the conventional spacial configuration, since the circuit board 11 and the parent circuit board 19 are connected through the terminal electrode 18 of the side face of the circuit board 11 as mentioned above, the gland of the circuit board 11 will also be connected to the gland of the parent circuit board 19 through the terminal electrode 18, and the wire length of a gland will become long. Consequently, when the inductance of a gland becomes large and the hybrid module constitutes the amplifying circuit from a hybrid module handling a high frequency signal, engine performance -- the gain falls -- deteriorates.

[0006] It was made in order that this invention might solve such a problem, the object has a spacial configuration, and a component-side product is narrow and is to offer a hybrid module with a very small grand inductance to an integrated circuit chip.

[0007]

[Means for Solving the Problem] The 1st circuit board in which it is the hybrid module formed with an integrated circuit chip and passive element components in order that this invention might attain the above-mentioned object, and one or more integrated circuit chips were attached and which consists of an insulating material, The 2nd circuit board in which both one or more passive element components, and one or more both [either or] were attached and which consists of an insulating material, the connection material which a plate surface is made to counter and connects mechanically said 1st and 2nd circuit boards mutually -- containing -- the conductor for glands in said 1st circuit board -- containing -- said -- it is characterized by connecting the grand terminal of said integrated circuit chip to a conductor.

[0008] By such hybrid module of this invention, since an integrated circuit chip and passive element components are arranged in three dimensions, it becomes possible to narrow the component-side product of a hybrid module. Furthermore, the 1st circuit board of the above can be attached in the parent circuit board where an outside plate

surface is stuck on the front face of the parent circuit board, and it can connect the gland of the 1st circuit board to the gland of the parent circuit board using the beer hall which penetrates the 1st circuit board as a conductor for the above-mentioned glands. The grand inductance between the integrated circuit chip which attached the 1st circuit board in thing, then 1st circuit board thin enough, and the parent circuit board stops therefore, having an adverse effect on the engine performance of this integrated circuit chip at all, also when becoming very small and treating a high frequency signal.

[0009] [Embodiment of the Invention] Next, the example of a gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 is the cross-section side elevation showing an example of the hybrid module by this invention. As shown in drawing 1, the hybrid module 2 of the example of a gestalt of operation has the structure which has arranged the passive element components 6, such as a semiconductor chip 4 (integrated circuit chip) and a capacitor, a coil, and resistance, in three dimensions, and is constituted including the 1st and 2nd circuit boards 8 and 10, connection circuit boards 12, and parent circuit boards 16 (3rd circuit board).

[0010] The 1st circuit board 8 consists of an alumina, a glass ceramic, glass epoxy, etc., and installation connection of the one semiconductor chip 4 is made through the metal bumps 22, such as a solder bump or a golden bump, in the front face in the example of a gestalt of this operation. In addition, although [the 1st circuit board 8 / the example of a gestalt of this operation] it is one layer system, you may be the structure where multilayer formation was carried out and the circuit pattern was formed also in the interior.

[0011] Two or more beer halls 24 are formed in the 1st circuit board 8, and the upper bed of a beer hall 24 is connected to the grand pattern which is not illustrated [which was formed in the front face of the 1st circuit board 8]. The 1st circuit board 8 sticks an underside on the top face of the parent circuit board 16, and is being fixed to the parent circuit board 16, and the soffit of a beer hall 24 is connected to the grand pattern which is not illustrated [of the shape of film formed in the front face of the parent circuit board 16]. And the grand terminal which is not illustrated [of a semiconductor chip 4] is connected to the above-mentioned grand pattern of the 1st circuit board 8 through at least one above-mentioned metal bump 22.

[0012] The 2nd circuit board 10 consists of an alumina, a glass ceramic, glass epoxy, etc., in the example of a gestalt of this operation, it has multilayer structure as an example, a circuit pattern is formed also in the interior, and the circuit pattern of each class is mutually connected by the beer hall 25. In addition, the 2nd circuit board 10 may be one layer system, and is not limited to multilayer structure.

[0013] In the example of a gestalt of this operation, the passive element components 6, such as a capacitor, a coil, and resistance, are attached in the top face of the 2nd circuit board 10. The 2nd circuit board 10 makes a plate surface counter the 1st circuit board 8, sets spacing, and is arranged on the 1st circuit board 8, and the connection circuit board 12 is arranged on both sides of the semiconductor chip 4 between the 1st and 2nd circuit boards 8 and 10. The connection circuit board 12 is in the condition of having made the ends side contacting the top face of the 1st circuit board 8, and the underside of the 2nd circuit board 10, respectively, and has connected mechanically the 1st and 2nd circuit boards 8 and 10 mutually. Various kinds of circuit patterns by which the connection circuit board 12 was formed in the 1st and 2nd circuit boards 8 and 10 with these circuit patterns including circuit patterns, such as a grand pattern, are connected mutually.

[0014] Thus, by the hybrid module 2 of the example of a gestalt of this constituted operation, since a semiconductor chip 4 and the passive element components 6 are arranged in three dimensions, it becomes possible to narrow the component-side product of the hybrid module 2. Furthermore, if the 1st circuit board 8 is made thin enough and it is made for a beer hall 24 to become very short, the grand inductance between a semiconductor chip 4 and the parent circuit board 16 will become very small. Therefore, even when a semiconductor chip 4 treats a high frequency signal, a grand inductance does not have an adverse effect on the engine performance of a semiconductor chip 4 like before, and the engine performance of the hybrid module 2 does not deteriorate.

[0015] And since the grand pattern of the 1st circuit board 8 is connected to the grand pattern of the parent circuit board 16 by the very short beer hall 24, the heat which the semiconductor chip 4 generated is conducted very efficiently to the parent circuit board 16 through a beer hall 24. Therefore, the structure of the example of a gestalt of this operation is effective also in respect of heat dissipation of a semiconductor chip 4.

[0016] In addition, the grand inductance concerning a beer hall 24 not only shortens the die length of a beer hall 24 (it follows and not only making thickness of the 1st circuit board 8 thin but), but it can make it into a still smaller value by making the whole area large as much as possible. Therefore, it is desirable to make [many / as possible] the number of beer halls 24, and to enlarge the path of each beer hall 24 as much as possible.

[0017] Moreover, although [the example of a gestalt of this operation] the passive element components 6 are attached

in the top face of the 2nd circuit board 10, the underside of the 2nd circuit board 10 is equipped besides this, or passive element components can also equip the top face of the 1st circuit board 8. Moreover, as a semiconductor chip, not only one but when two or more semiconductor chips are included, this invention is effective and good also as a configuration which attaches a semiconductor chip also in the 2nd circuit board 10 in that case. While a component-side product is reducible also in such a configuration, the grand inductance of the 1st circuit board 8 can be made very small.

[0018] Drawing 2 thru/or drawing 17 show the modification of these various kinds, respectively. The same sign is given to the same element as drawing 1 among drawing. Drawing 2 is the cross-section side elevation showing the hybrid module 26 of the example of a gestalt of operation with which the passive element components 6 were attached in the 2nd underside instead of a top face of the circuit board 10. As for drawing 3 , the passive element components 6 are attached in the underside of the 2nd circuit board 10. The cross-section side elevation showing the hybrid module 28 of the example of a gestalt of operation furthermore attached in the top face of the 1st circuit board 8 with the semiconductor chip 4, Drawing 4 is the cross-section side elevation showing the hybrid module 30 of the example of a gestalt of operation with which the passive element components 6 are attached in the top face of the 2nd circuit board 10, and are further attached in the top face of the 1st circuit board 8 with the semiconductor chip 4.

[0019] Moreover, drawing 5 and drawing 6 show the hybrid module 36 of the example of a gestalt of operation with which the hybrid module 34 of the example of a gestalt of operation with which the 2nd semiconductor chip 32 is attached in the underside of the 2nd circuit board 10 with the passive element components 6, respectively is shown, and the 2nd semiconductor chip 32 is attached in the top face of the 2nd circuit board 10 with the passive element components 6.

[0020] And as for drawing 7 and drawing 8 , the 2nd semiconductor chip 32 is attached in the underside of the 2nd circuit board 10 with the passive element components 6, respectively. The hybrid module 38 of the example of a gestalt of operation with which the passive element components 6 are furthermore attached also on the 1st circuit board 8 is shown. And the hybrid module 40 of the example of a gestalt of operation with which the 2nd semiconductor chip 32 is attached in the top face of the 2nd circuit board 10 with the passive element components 6, and the passive element components 6 are further attached also on the 1st circuit board 8 is shown.

[0021] Moreover, drawing 9 shows the hybrid module 42 of the example of a gestalt of operation with which the passive element components 6 are attached with a semiconductor chip 4 on the 1st circuit board 8, and the 2nd two semiconductor chip 32 is attached in the underside of the 2nd circuit board 10. And drawing 10 shows the hybrid module 44 with which the passive element components 6 are further attached in the underside of the 2nd circuit board 10 in the example of drawing 9 R> 9. Furthermore, drawing 11 shows the hybrid module 46 of the example of a gestalt of operation with which the passive element components 6 are attached with a semiconductor chip 4 on the 1st circuit board 8, and the 2nd two semiconductor chip 32 is attached in the top face of the 2nd circuit board 10, and drawing 12 shows the hybrid module 48 of the example of a gestalt of operation with which the passive element components 6 are also attached in the top face of the 2nd circuit board 10 in the example of drawing 11 .

[0022] Moreover, drawing 13 shows the hybrid module 50 of the example of a gestalt of operation with which two semiconductor chips 4 are attached in the top face of the 1st circuit board 8, and the 2nd semiconductor chip 32 and passive element components 6 are attached in the underside of the 2nd circuit board 10, and drawing 14 shows the hybrid module 52 of the example of a gestalt of operation with which the passive element components 6 are also attached in the top face of the 1st circuit board 8 in the example of drawing 13 .

[0023] And drawing 15 shows the hybrid module 54 of the example of a gestalt of operation with which two semiconductor chips 4 are attached on the 1st circuit board 8, and the passive element components 6 are attached in the top face of the 2nd circuit board 10 with the 2nd semiconductor chip 32, and drawing 16 shows the hybrid module 56 of the example of a gestalt of operation with which it is equipped also with the passive element components 6 on the 1st circuit board 8 in the example of drawing 15 .

[0024] Moreover, drawing 17 shows the hybrid module 58 of the example of a gestalt of operation with which the passive element components 6 are attached with a semiconductor chip 4 on the 1st circuit board 8, the passive element components 6 are attached in the top face of the 2nd circuit board 10 with the 2nd semiconductor chip 32, and the passive element components 6 are further attached in the underside of the 2nd circuit board 10 with the 2nd two semiconductor chip 32.

[0025] In these drawing 2 thru/or the example of a gestalt of which operation of drawing 17 , the adverse effect of a grand inductance is not produced about the semiconductor chip which could reduce the component-side product of a hybrid module since a semiconductor chip and passive element components were arranged in three dimensions, and was attached in the 1st circuit board 8 at least since the grand inductance of the 1st circuit board 8 was made very

small.

[0026] In addition, since a grand inductance becomes larger than the grand inductance of the 1st circuit board 8 in the 2nd circuit board 10, it is desirable to use the thing which cannot be easily influenced of a grand inductance, or the thing designed in consideration of the effect of a grand inductance as the 2nd semiconductor chip 32 attached in the 2nd circuit board 10.

[0027]

[Effect of the Invention] Since an integrated circuit chip and passive element components are arranged in three dimensions by the hybrid module of this invention as explained above, it becomes possible to narrow the component-side product of a hybrid module. Furthermore, the 1st circuit board of the above can be attached in the parent circuit board where an outside plate surface is stuck on the front face of the parent circuit board, and it can connect the gland of the 1st circuit board to the gland of the parent circuit board using the beer hall which penetrates the 1st circuit board as a conductor for the above-mentioned glands. The grand inductance between the integrated circuit chip which attached the 1st circuit board in thing, then 1st circuit board thin enough, and the parent circuit board stops therefore, having an adverse effect on the engine performance of this integrated circuit chip at all, also when becoming very small and treating a high frequency signal.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the cross-section side elevation showing an example of the hybrid module by this invention.
- [Drawing 2] Passive element components are the cross-section side elevations showing the hybrid module of the example of a gestalt of operation attached in the underside of the 2nd circuit board.
- [Drawing 3] Passive element components are the cross-section side elevations showing the hybrid module of the example of a gestalt of operation which is attached in the underside of the 2nd circuit board and is further attached in the top face of the 1st circuit board with the semiconductor chip.
- [Drawing 4] Passive element components are the cross-section side elevations showing the hybrid module of the example of a gestalt of operation which is attached in the top face of the 2nd circuit board, and is further attached in the top face of the 1st circuit board with the semiconductor chip.
- [Drawing 5] The 2nd semiconductor chip is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation attached in the underside of the 2nd circuit board with passive element components.
- [Drawing 6] The 2nd semiconductor chip is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation attached in the top face of the 2nd circuit board with passive element components.
- [Drawing 7] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which the 2nd semiconductor chip is attached in the underside of the 2nd circuit board with passive element components, and passive element components are further attached also on the 1st circuit board.
- [Drawing 8] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which the 2nd semiconductor chip is attached in the top face of the 2nd circuit board with passive element components, and passive element components are further attached also on the 1st circuit board.
- [Drawing 9] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which passive element components are attached with a semiconductor chip on the 1st circuit board, and the 2nd two semiconductor chip is attached in the underside of the 2nd circuit board.
- [Drawing 10] It is the cross-section side elevation showing the hybrid module with which passive element components are further attached in the underside of the 2nd circuit board in the example of drawing 9 .
- [Drawing 11] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which passive element components are attached with a semiconductor chip on the 1st circuit board, and the 2nd two semiconductor chip is attached in the top face of the 2nd circuit board.
- [Drawing 12] In the example of drawing 11 , it is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which passive element components are also attached in the top face of the 2nd circuit board.
- [Drawing 13] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which two semiconductor chips are attached in the top face of the 1st circuit board, and the 2nd semiconductor chip and passive element components are attached in the underside of the 2nd circuit board.
- [Drawing 14] In the example of drawing 13 , it is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which passive element components are also attached in the top face of the 1st circuit board.
- [Drawing 15] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which two semiconductor chips are attached on the 1st circuit board, and passive element components are attached in the top face of the 2nd circuit board with the 2nd semiconductor chip.
- [Drawing 16] In the example of drawing 15 , it is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which it is equipped also with passive element components on the 1st circuit

board.

[Drawing 17] It is the cross-section side elevation showing the hybrid module of the example of a gestalt of operation with which passive element components are attached with a semiconductor chip on the 1st circuit board, passive element components are attached in the top face of the 2nd circuit board with the 2nd semiconductor chip, and passive element components are further attached in the underside of the 2nd circuit board with the 2nd two semiconductor chip.

[Drawing 18] It is the cross-section side elevation showing an example of the conventional hybrid module of a spacial configuration.

[Description of Notations]

2 [.. The 1st circuit board, 10 / .. The 2nd circuit board, 11 / .. The circuit board, 12 / .. The connection circuit board, 14 / .. 16 Passive circuit elements, 19 / .. The parent circuit board, 18 / .. A terminal electrode, 20 / .. A land electrode, 22 / .. A metal bump, 24 / .. A beer hall, 32 / .. The 2nd semiconductor chip.] A hybrid module, 4 .. A semiconductor chip, 6 .. Passive element components, 8

[Translation done.]

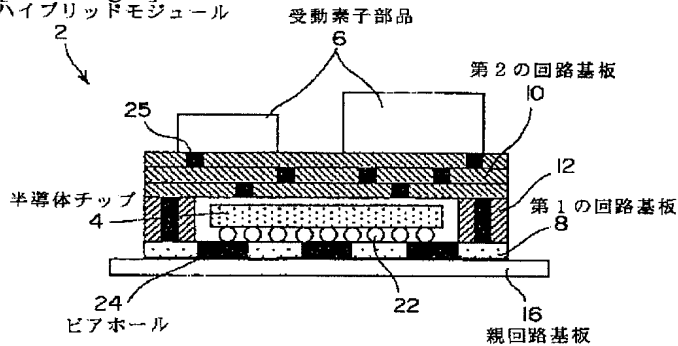
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

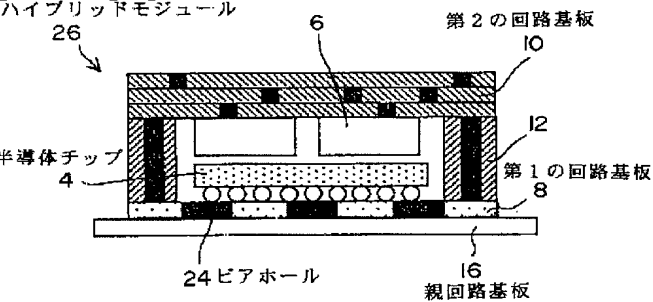
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

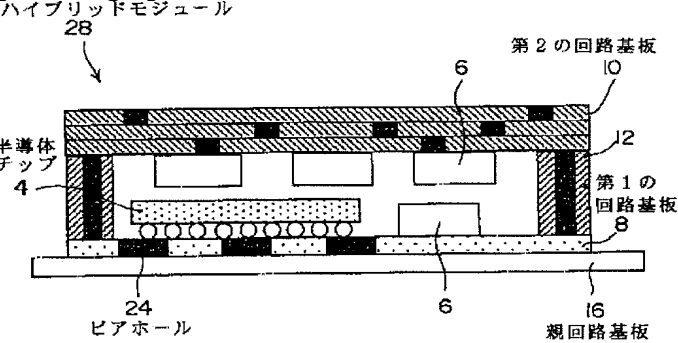
[Drawing 1]



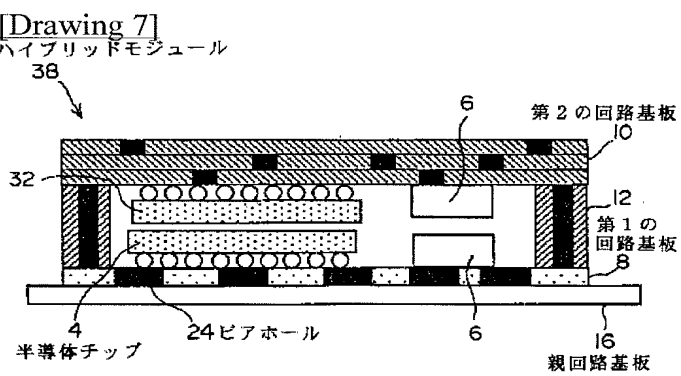
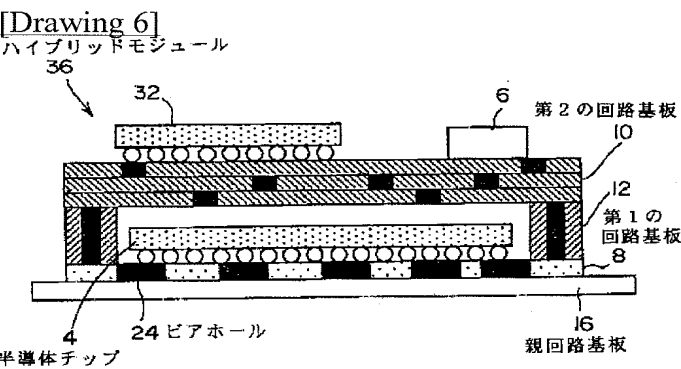
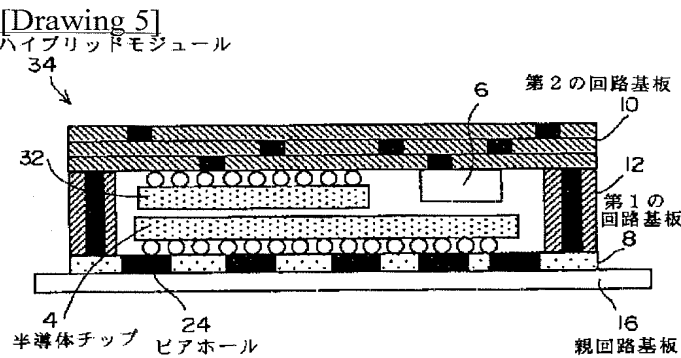
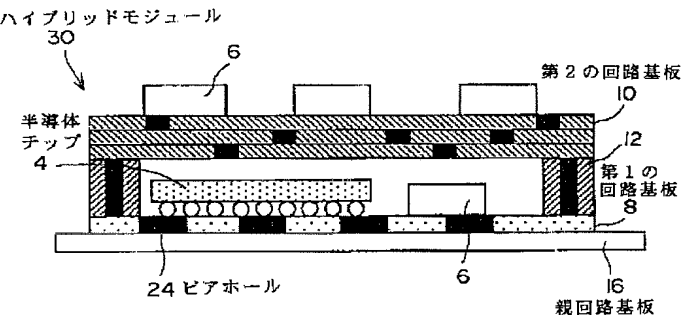
[Drawing 2]



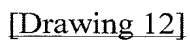
[Drawing 3]

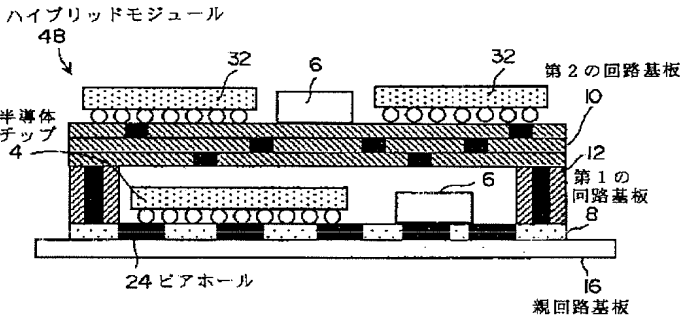


[Drawing 4]

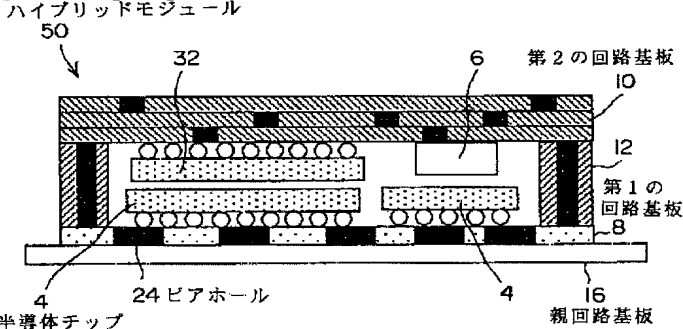


[Drawing 8]

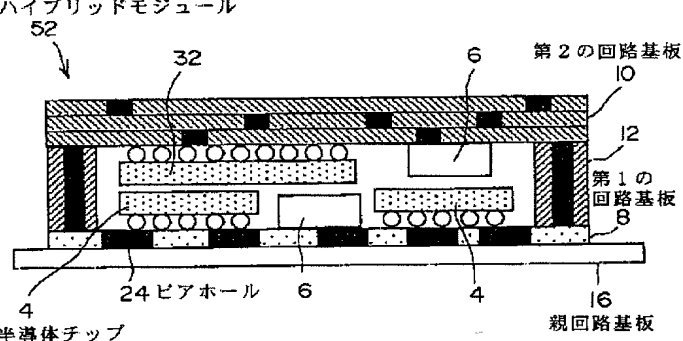




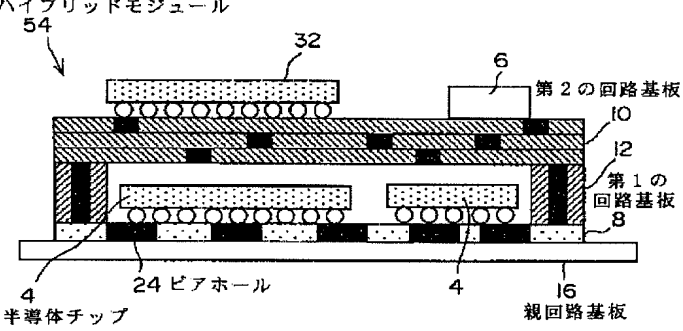
[Drawing 13]



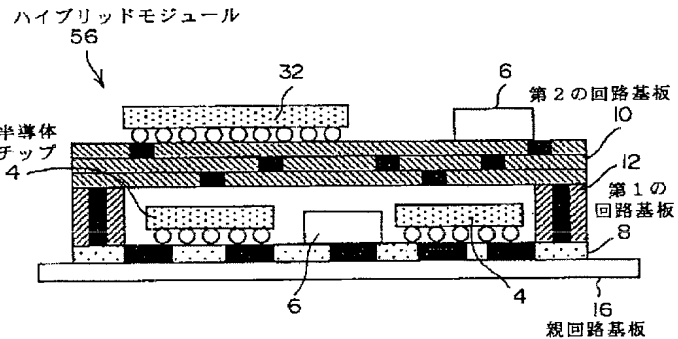
[Drawing 14]



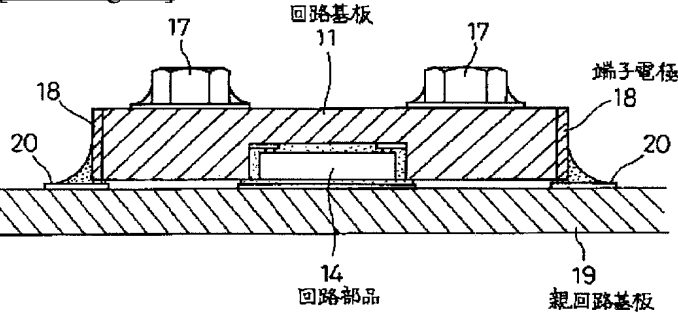
[Drawing 15]



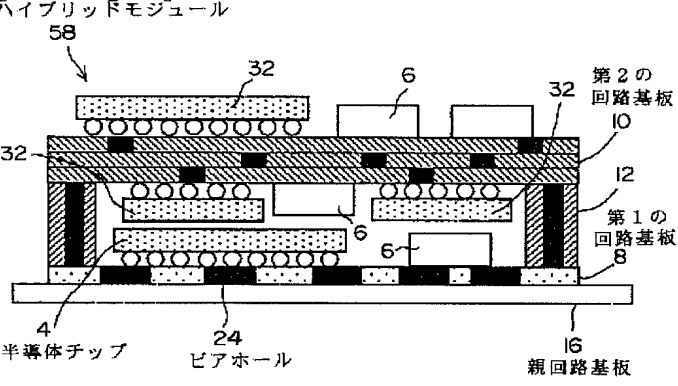
[Drawing 16]



[Drawing 18]



[Drawing 17]



[Translation done.]